

English translation  
of  
Japanese Patent Laid-Open Publication No. 11-317887

(43) Date of publication of application: 16.11.1999

(51) Int.Cl.: H04N 5/14  
G06T 1/00  
G04N 5/44

(21) Application Number: 10-125053

(22) Date of filing: 07.05.1998

(71) Applicant: OLYMPUS OPTICAL CO., LTD.

(72) Inventor: Masashi FUKUMICHI

(74) Agent: Susumu ITOU

(54) [TITLE OF THE INVENTION] IMAGE PROCESSING UNIT

(57) [ABSTRACT]

[OBJECT] It is an object of the invention to properly and quickly switch operational modes in response to a connected image output device.

[SOLVING MEANS] An image processing unit 1 comprises an image processing circuit 11 having an EPGA for inputting an image signal from an image output device 2 for processing image such as emphasizing, a communication port 12 for inputting identification signal indicative of kind of the image output device 2 from the image output device 2, a CPU 14 for writing controlling of a circuit data to the image processing circuit 11 through an I/F section 13 based on the identification

signal input from the communication port 12, an ROM 15 in which a plurality of circuit data written in the image processing circuit 11 and control program of the CPU 14 are previously stored, and a SRAM 16 in which data generated at the time of control of the CPU 14 is stored.

[CLAIM]

[1] An image processing unit for processing an image signal input from image output device, comprising mode storing means for storing operational modes in response to kind of the image output device, mode processing means for processing the image signal by setting of the operational mode stored in the mode storing means, identification information input means for inputting identification information for identifying kind of the image output device, and operational mode renewal means for comparing said operational mode set by said mode processing means and said operational mode set in response to the kind of the image output device judged by the identification information input by said identification information inputting means, and for renewing the operational mode stored in said mode storing means based on a result of said comparison.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[TECHNICAL FIELD TO WHICH THE INVENTION BELONGS] The present invention relates to an image processing unit, and more

particularly, to an image processing unit characterized in a circuit data setting section of an EPGA (Field of Programmable Gate Array).

[0002]

[PRIOR ART] Conventionally, in an image processing unit, as shown in Japanese Patent Publication No.1-26225, kinds of image processing is switched in response to a connected image output device. Although its method is not disclosed in this publication, there is a simple method in which paths are switched in response to kind of the image processing.

[0003] For example, as shown in Fig. 12, in a conventional image processing unit 101, an image signal from an image output device (not shown) is input to, e.g., three image processing circuits 102, 103 and 104, and the input signals are separately processed, and the processed signals are output to output device 106 such as a monitor through a selection circuit 105. An identification signal indicative of kind of the image output device (not shown) from an external input section (not shown) is input to a CPU 108 through a communication port 107. The CPU 108 controls the selection circuit 105 through an I/F section 109 based on this identification signal, thereby switching the operational mode (kind of image processing) by selecting one of image processing circuits 102, 103 and 104.

[0004] Further, Japanese Patent Laid-open Publication

No.6-343137 discloses an example of a video camera in which the operational mode is changed in response to the device to be connected.

[0005] Recently, an LSI called FPGA (Field of Programmable Gate Array) becomes widespread. The feature of the FPGA is that the circuit structure can be rewritten. A circuit data of the FPGA is binary data and can be stored in a memory or a medium. Fig. 13 shows and explains a method for switching the kind of image processing using the FPGA.

[0006] In an image processing unit 110, as shown in Fig. 13, an image signal from the image output device (not shown) is input to an image processing circuit 111, and a processed signal processed by the image processing circuit 111 is output to output device 106 such as a monitor. A structure of the image processing circuit 111 is written by the CPU 108, a plurality of the circuit data is previously stored in an ROM 112. An identification signal indicative of kind of the image output device (not shown) from an external input section (not shown) is input to the CPU 108 through a communication port 107. The CPU 108 selects a circuit data in an ROM 112 based on this identification signal, and writes the circuit data in the image processing circuit 111 through the I/F section 109. The operational mode (kind of image processing) can be switched in response to kind of the image output device in this manner.

[0007]

[PROBLEMS TO BE SOLEVED BY THE INVENTION] However, it takes time to write the FPGA, and the above-described image processing unit 110 writes the FPGA after the kind of the device is transmitted. Therefore, if the transmission of the kind was delay by some reason, for example, if power-on time of the image output device was delayed, there is a problem that an operator must wait for a long time.

[0008] The present invention has been accomplished in view of the above circumstances, and it is an object of the invention to provide an image processing unit capable of properly and quickly switching operational modes in response to a connected image output device.

[0009]

[MEANS FOR SOLVING THE PROBLEM] An image processing unit of the invention for processing an image signal input from image output device, comprises mode storing means for storing operational modes in response to kind of the image output device, mode processing means for processing the image signal by setting of the operational mode stored in the mode storing means, identification information input means for inputting identification information for identifying kind of the image output device, and operational mode renewal means for comparing the operational mode set by the mode processing means and the operational mode set in response to the kind

of the image output device judged by the identification information input by the identification information inputting means, and for renewing the operational mode stored in the mode storing means based on a result of the comparison.

[0010] According to the invention, the operational mode renewal means compares the operational mode set by the mode processing means and the operational mode set in response to the kind of the image output device judged by the identification information input by the identification information inputting means, and renews the operational mode stored in the mode storing means based on a result of the comparison, thereby making it possible to properly and quickly switch operational modes in response to a connected image output device..

[0011]

[PREFERRED EMBODIMENTS OF THE INVENTION] An embodiment of the present invention will be explained with reference to the drawings below.

[0012] Figs. 1 to 11 show one embodiment of the invention, wherein Fig. 1 is a view showing a connection relation between an image processing unit and image output device according to an embodiment of the present invention, Fig. 2 is a block diagram showing a structure of the image processing unit shown in Fig. 1, Fig. 3 is a memory map of an SRAM shown in Fig. 2, Fig. 4 is a memory map of an ROM shown in Fig. 2, Fig.

5 is a flowchart showing a flow of processing by a CPU shown in Fig. 2, Fig. 6 is a diagram for explaining a confirmation processing of connected device in step S3 in Fig. 5, Fig. 7 is a diagram showing one example of message display in step S5 in Fig. 5, Fig. 8 is a block diagram showing one example of an image processing circuit constituted by an FPGA realized by writing a circuit data in processing of Fig. 5, Fig. 9 is a diagram for explaining a first FIFO circuit for adjusting delay generated in first and second blocks in Fig. 8, Fig. 10 is a diagram for explaining a second FIFO circuit for adjusting delay generated in first and second blocks in Fig. 8, and Fig. 11 is a timing chart showing timing of each signal of the FIFO circuit in Fig. 10.

[0013] As shown in Fig. 1, in an image processing unit 1 of the present embodiment, an image signal output from an image output device 2 is input through image transmitting means 3, and the image output device 2 and the image processing unit 1 are connected to each other through communication means 4 so that one way or two way communication is realized between the image output device 2 and the image processing unit 1.

[0014] As shown in Fig. 2, the image processing unit 1 comprises an image processing circuit 11 having an EPGA (Field Programmable Gate Array) for inputting an image signal from an image output device 2 for processing image such as emphasizing, a communication port 12 for inputting

identification signal indicative of kind of the image output device 2 from the image output device 2, a CPU 14 for writing controlling of a circuit data to the image processing circuit 11 through an I/F section 13 based on the identification signal input from the communication port 12, an ROM 15 in which a plurality of circuit data written in the image processing circuit 11 and control program of the CPU 14 are previously stored, an SRAM 16 in which data generated at the time of control of the CPU 14 is stored, a battery 17 for back up the SRAM 16, and a display controller 18 for superposing character data and the like on an image data processed by the image processing circuit 11.

[0015] The communication port 12, the I/F section 13, the CPU 14, the ROM 15, the SRAM 16 and the display controller 18 are connected to each other through a data bus 19, and each circuit is controlled by the CPU 14, and the image data processed and superposed with the character data by the image processing circuit 11 is output to output device 20 such as a monitor.

[0016] As shown in Fig. 3, the SRAM 16 is provided with an operation mode data region 21 at a predetermined address position. In the operation mode data region 21, a numeric value of the operational mode data corresponding to connected device shown in Table 1 is stored.

[0017]



[TABLE 1]

Kind of connected device	Operational mode data
type A	1
type B	2
type C	3
type D	4

In the ROM 15, in addition to the control program of the CPU 14, a plurality of kinds of circuit data corresponding to the operational mode data to the image processing circuit 11 constituted by the FPGA is stored at a predetermined address position in a first circuit data region 25, a second circuit data region 26 and a third circuit data region 27 as shown in Fig. 4.

[0018] Next, operation of the present embodiment having the above structure will be explained.

[0019] As shown in Fig. 5, after power is turned ON, the CPU 14 initialize basic hardware and then, reads out operational mode held in the SRAM 16 in step S1. Next, in step S2, a circuit data corresponding to the operational mode which was read in step S2 is read out from the ROM 15, and the read circuit data is written into the image processing circuit 11 constituted by the FPGA. At the same time, hardware corresponding to the operational mode can be set also.

[0020] Then, in step S3, the image output device 2 which is actually connected is confirmed. The confirmation is checked by the communication means 4 through the communication port 12. For example, RS-232C is known. Fig.

6 shows a procedure of the confirmation of the connected device. First, the image processing unit 1 sends "device type inquiry command" 31 to the image output device 2. In reply to this, the image output device 2 sends "device type information" 32 to the image processing unit 1.

[0021] It is also possible to always send the device type from the image output device 2 to the image processing unit 1, and to allow the image processing unit 1 to properly receive. In this case, the communication means 4 may be of one direction communication type.

[0022] Next, in step S4, the operational mode data corresponding to the image output device 2 obtained as described above, and an operational mode data saved in the SRAM 16 are compared. When both the data coincided, since the image processing circuit 11 corresponding to the image output device 2 is written, the procedure is completed as it is. If both the data are different, the flow proceeds to step S5.

[0023] In step S5, an operational mode data corresponding to the image output device 2 which is actually connected is saved in the SRAM 16. In step S6, as shown in Fig. 7, a message 36 is superposed on a process image 35 of the image processing circuit 11 by the display controller 18, the operator is informed that a correct circuit data was not written in the image processing circuit 11, and the procedure is completed.

[0024] Here, a situation in which the operator once turns OFF the electric power of the image output device 2 and again turns ON the power in response to this message 36 will be explained.

[0025] The image processing unit 1 again executes the procedure in the flowchart in Fig. 5. From step S1 to step S3, the procedure is the same at the time of boot-up. In step S4, an operational mode data saved in the SRAM 16 and an operational mode data corresponding to the image output device 2 which is actually connected coincide with each other. This is because that in step S5, an operational mode corresponding to the image output device 2 which is actually connected is saved in the SRAM 16 at the time of last boot-up.

[0026] Next, operation of the image processing circuit 11 constituted by the FPGA in which the circuit data was written under control of the CPU 14 will be explained.

[0027] As shown in Fig. 8, the image processing circuit 11 having circuit data comprises a first block 41 and a second block 42 for differently processing the input image signal, and a synthesizing block 43 for synthesizing image processed by the first block 41 and the second block 42.

[0028] In the image processing circuit 11, the input image is input to the first block 41 and the second block 42 and differently processed therein. Outputs therefrom are input to the synthesizing block 43 and synthesized as one image

and is output.

[0029] Here, the first block 41 outputs, e.g., a processing result of full color 24 bits, and the second block 42 outputs 1 bit information, i.e., so-called mask information as to whether the processed image should be displayed.

[0030] At that time, if there is a difference in delay between the first block 41 and the second block 42, a deviation in image position is generated. Therefore, it is necessary to adjust one or both delays. Thereupon, for adjusting the delay, an FIFO (first in first out) memory is used.

[0031] The FIFO memory can arbitrarily delay the time, but the maximum value of the image is limited to a range of capacity. If an image of 640 dots by 480 lines is delayed, a capacity of  $640 \times 480 = 307,200$  dots is required. If the memory capacity is smaller than this, a plurality of memories are used to extend the capacity.

[0032] If the capacity of memory is smaller than the above value, a plurality of memories are used to extend the capacity. For example, in an FIFO circuit 50 as shown in Fig. 9, two FIFO memories 51 and 52 whose input terminals and output terminals are connected in parallel and each having a capacity of 262,144 dots ( $< 307,200$  dots) are used, data is input to the two FIFO memories 51 and 52 by one-dot by one-dot alternately, and data is output also alternately, thereby extending the capacity.

[0033] The FIFO memory has data width for input and output, and widely used memory has 8 bit width. However, in an actual application, like the mask signal of the image, 1 bit information is sufficient. In such a case, if the FIFO memory of 8 bit width is used to delay the 1 bit width data, 7 bits of the FIFO memory is not used all the time and is waste.

[0034] Thereupon, a method for extending the capacity in such a case without using a plurality of FIFO memories will be explained.

[0035] As shown in Fig. 10, an FIFO circuit 60 having 1 bit width has extended the capacity comprises an FIFO memory 62 and a selector 63. Referring to a timing chart in Fig. 11, a signal input from Din is sent to a shift register 61, and is converted from 1 bit to 2 bit by the shift register 61 in synchronization with pixel clock  $\phi 1$ , and is input to the FIFO memory 62.

[0036] Two division clock  $\phi 2$  of the pixel clock  $\phi 1$  is supplied to an FIFO memory 63. A data from the shift register 61 is sent to the FIFO memory 62 with a timing of rising edge  $\uparrow$ . The delay amount of the FIFO memory 62 is determined by a time difference of pulse between the write reset and read reset, and the data input to the shift register 61 is output to inputs D1 and D2 of the FIFO memory 62 after a constant delay time.

[0037] Outputs Q1 and Q2 of the FIFO memory 62 are again

returned into 1 bit from 2 bits by the selector 63, and output from the selector 63. The selector 63 may comprise a shift register.

[0038] As described above, in the image processing unit 1 of the present embodiment, the circuit data which is previously stored in the SRAM 16 is written into the FPGA which constitutes the image processing circuit 11 and then, the data is sent to the connected image output device 2. Therefore, the image processing unit 1 can be turned ON without waiting for the confirmation of the image output device 2. That is, even if power-on of the image output device 2 was delayed, it is possible to boot up the image processing unit 1 first and after that, the image output device 2 is carried out and thus, the operator need not wait for a long time.

[0039] If the kind of the circuit data written in the FPGA constituting the image processing circuit 11 and the kind of the image output device 2 are different, a circuit data corresponding to the connected image output device 2 is read out from the ROM 15, and stored in the SRAM 16, and the operator is instructed to again boot up the connected image output device 2 by a message. Therefore, the operator can boot up the image output device 2 in response to the message, and it is possible to boot up the image processing unit 1 reliably and easily.

[0040] [INSERTION]

(Insertion 1) An image processing unit for processing an image signal input from image output device, comprising mode storing means for storing operational modes in response to kind of the image output device, mode processing means for processing the image signal by setting of the operational mode stored in the mode storing means, identification information input means for inputting identification information for identifying kind of the image output device, and operational mode renewal means for comparing said operational mode set by said mode processing means and said operational mode set in response to the kind of the image output device judged by the identification information input by said identification information inputting means, and for renewing the operational mode stored in said mode storing means based on a result of said comparison.

[0041] (Insertion 2) An image processing unit according to insertion 1, wherein said mode processing means is an FPGA (Field Programmable Gate Array)

[0042] (Insertion 3) An image processing method for processing an image signal input from image output device, comprising: a mode setting step for setting an operational mode corresponding to kind of said image output device for processing said image signal stored in mode storing means; device judging step for judging kind of said image output

device; and an operational mode renewal step for comparing said operational mode set by said mode processing step and an operational mode corresponding to said image output device judged by said device judging step, and for renewing said operational mode stored in said mode storing means based on a result of said comparison.

[0043]

[EFFECTS OF THE INVENTION] As explained above, according to the image processing unit of the present invention, the operational mode renewal means compares the operational mode set by the mode processing means and the operational mode set in response to the kind of the image output device judged by the identification information input by the identification information inputting means, and renews the operational mode stored in the mode storing means based on a result of the comparison, thereby making it possible to properly and quickly switch operational modes in response to a connected image output device.

[BRIEF DESCRIPTION OF THE DRAWINGS]

[Fig. 1] A view showing a connection relation between an image processing unit and image output device according to an embodiment of the present invention

[Fig. 2] A block diagram showing a structure of the image processing unit shown in Fig. 1

[Fig. 3] A memory map of an SRAM shown in Fig. 2



[Fig. 4] A memory map of an ROM shown in Fig. 2

[Fig. 5] A flowchart showing a flow of processing by a CPU shown in Fig. 2

[Fig. 6] A diagram for explaining a confirmation processing of connected device in step S3 in Fig. 5

[Fig. 7] A diagram showing one example of message display in step S5 in Fig. 5

[Fig. 8] A block diagram showing one example of an image processing circuit constituted by an FPGA realized by writing a circuit data in processing of Fig. 5

[Fig. 9] A diagram for explaining a first FIFO circuit for adjusting delay generated in first and second blocks in Fig. 8

[Fig. 10] A diagram for explaining a second FIFO circuit for adjusting delay generated in first and second blocks in Fig. 8

[Fig. 11] A timing chart showing timing of each signal of the FIFO circuit in Fig. 10

[Fig. 12] A block diagram showing a first example of a structure of a conventional image processing unit

[Fig. 13] A block diagram showing a second example of the structure of the conventional image processing unit

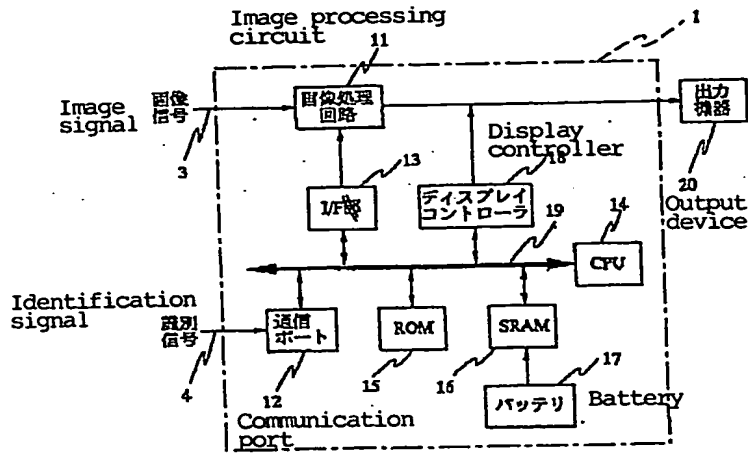
[EXPLANATION OF REFERENCE NUMERALS]

FIG.1

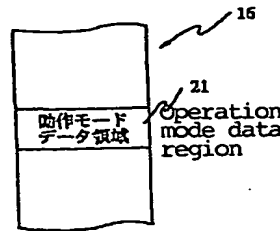
1      Image processing unit

- 2 Image output device
- 11 Image processing circuit
- 12 Communication port
- 13 I/F section
- 14 CPU
- 15 ROM
- 16 SRAM
- 17 Battery
- 18 Display controller
- 19 Data bus
- 20 Output device

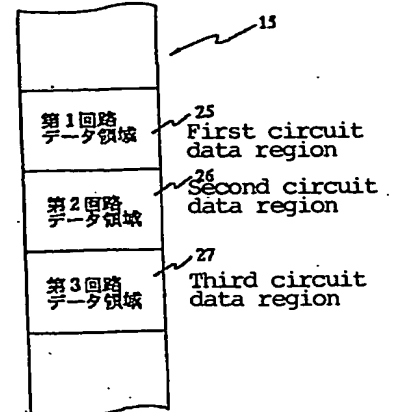
【図2】Fig. 2



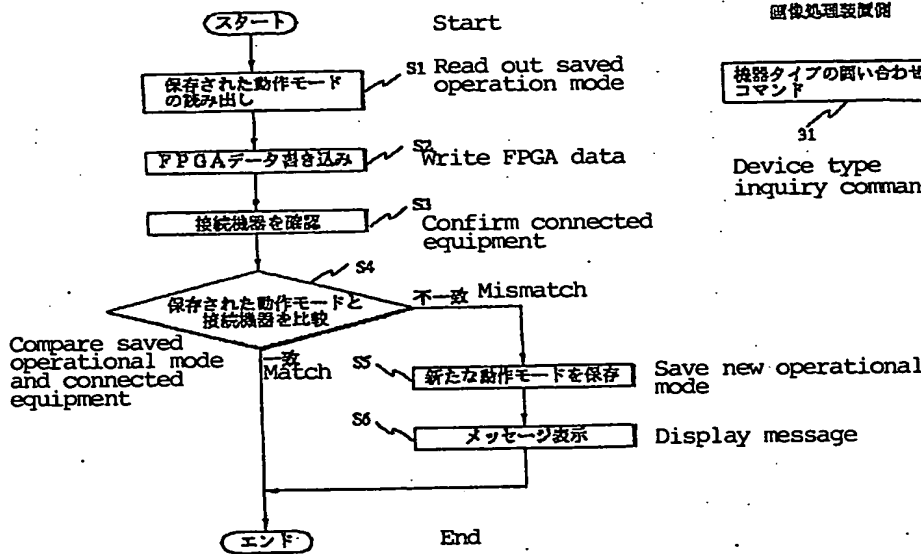
【図3】Fig. 3



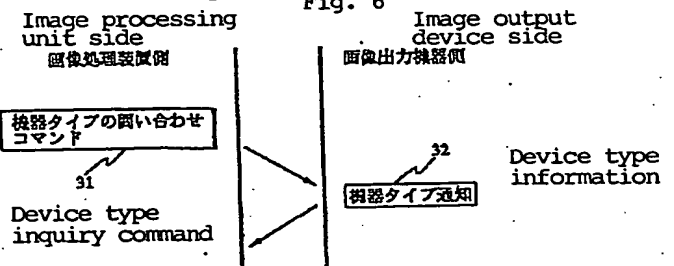
【図4】Fig. 4



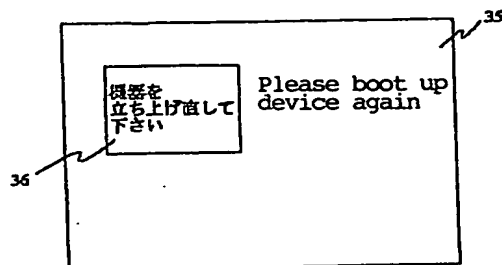
【図5】Fig. 5



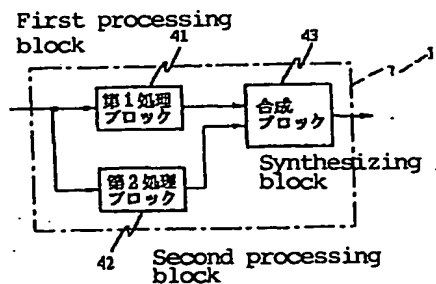
【図6】Fig. 6



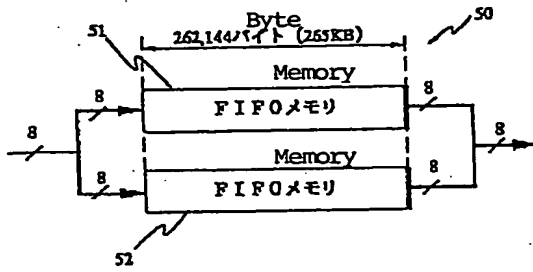
【図7】Fig. 7



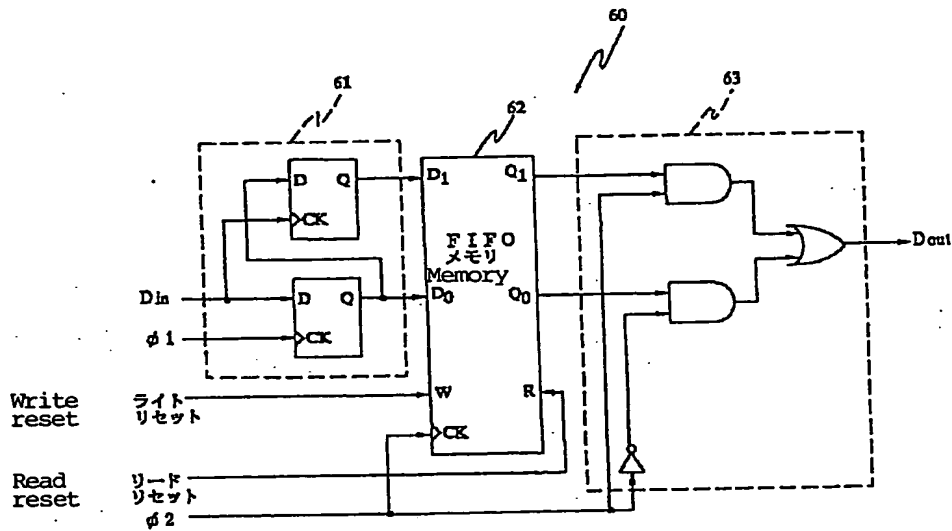
【図8】Fig. 8



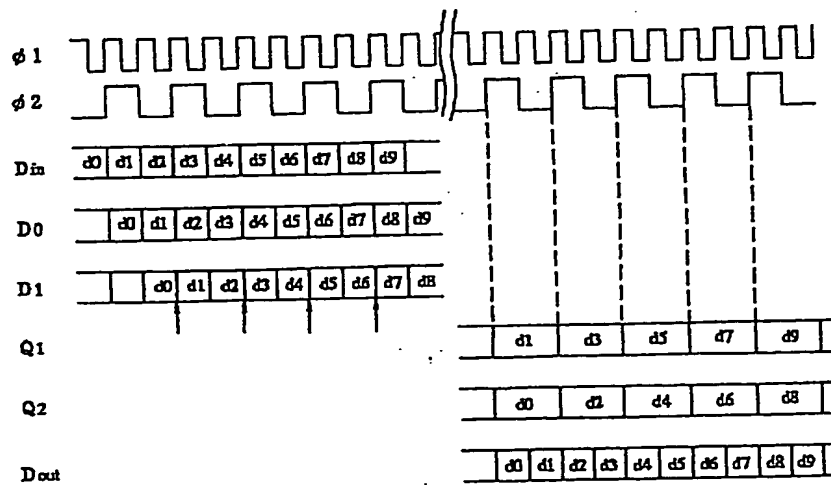
【図9】 Fig. 9



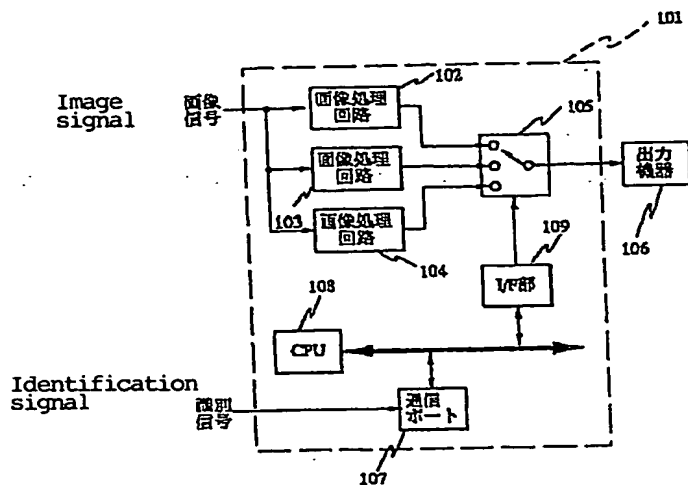
【図10】 Fig. 10



【図11】 Fig. 11

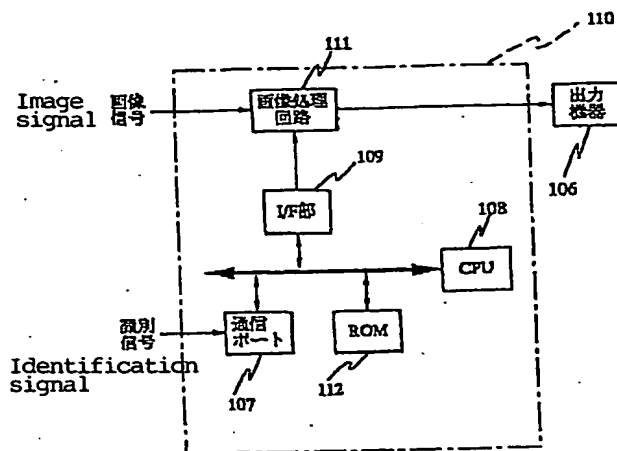


【図12】 Fig. 12



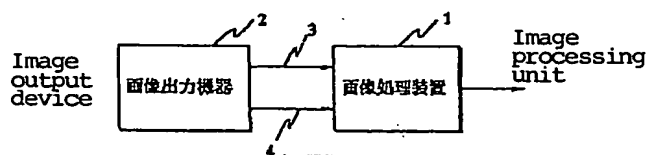
102: Image processing circuit  
103: Image processing circuit  
104: Image processing circuit  
106: Output device  
107: Communication port

【図13】 Fig. 13



106: Output device  
107: Communication port  
111: Image processing circuit

Fig. 1 【図1】



(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 3 1 7 8 8 7

(43) 公開日 平成11年(1999)11月16日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H 0 4 N 5/14

H 0 4 N 5/14

Z

G 0 6 T 1/00

5/44

A

H 0 4 N 5/44

G 0 6 F 15/62 3 8 0

審査請求 未請求 請求項の数 1

O L

(全 8 頁)

(21) 出願番号

特願平10-125053

(22) 出願日

平成10年(1998)5月7日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 福地 正巳

東京都渋谷区幡ヶ谷2丁目43番2号 オリン  
パス光学工業株式会社内

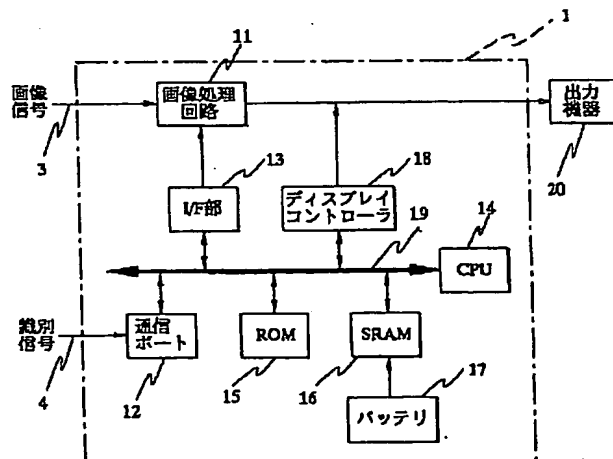
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 接続される画像出力機器に応じた動作モードの切り替えを、適切かつ迅速に行う。

【解決手段】 画像処理装置 1 は、画像出力機器 2 から画像信号を入力し強調等の画像処理を行う F P G A で構成された画像処理回路 1 1 と、画像出力機器 2 から画像出力機器 2 の種類を示す識別信号を入力する通信ポート 1 2 と、通信ポート 1 2 から入力された識別信号に基づき I / F 部 1 3 を介して画像処理回路 1 1 への回路データの書き込み制御を行う CPU 1 4 と、画像処理回路 1 1 に書き込まれる複数の回路データ及び CPU 1 4 の制御プログラムを予め格納している ROM 1 5 と、CPU 1 4 の制御時に生成されたデータを格納する SRAM 1 6 とを備えて構成される。



## 【特許請求の範囲】

【請求項 1】 画像出力機器から入力された画像信号を処理する画像処理装置において、前記画像出力機器の種類に応じた動作モードを記憶するモード記憶手段と、前記モード記憶手段が記憶した前記動作モードの設定により、前記画像信号を処理するモード処理手段と、前記画像出力機器の種類を判別する判別情報を入力する判別情報入力手段と、前記モード処理手段に設定された前記動作モードと、前記判別情報入力手段が入力した前記判別情報によって判別した前記画像出力機器の種類に応じた前記動作モードとを比較し、比較結果に基づき前記モード記憶手段に記憶されている前記動作モードを更新する動作モード更新手段とを備えたことを特徴とする画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は画像処理装置、更に詳しくはFPGA(Field Programmable Gate Array)の回路データ設定部分に特徴のある画像処理装置に関する。

## 【0002】

【従来の技術】従来、画像処理装置においては、例えば特公平 1 - 2 6 2 2 5 号公報に見られるように、接続する画像出力機器に応じて、画像処理の種類を切り替えることが行われている。その方法として、前記の例での開示は無いが、簡単な方法として、画像処理の種類に応じて、経路を切り替えることがあげられる。

【0003】例えば、図 1 2 に示すように、従来の画像処理装置 1 0 1 では、図示しない画像出力機器からの画像信号を複数、例えば 3 つの画像処理回路 1 0 2、1 0 3、1 0 4 に入力しそれぞれ別々の処理が施され、選択回路 1 0 5 を介してモニタ等の出力機器 1 0 6 に出力される。また、図示しない外部の入力部から画像出力機器(図示せず)の種類を示す識別信号が通信ポート 1 0 7 を介してCPU 1 0 8 に入力され、CPU 1 0 8 はこの識別信号に基づき、I/F 部 1 0 9 を介して選択回路 1 0 5 を制御し画像処理回路 1 0 2、1 0 3、1 0 4 のうちから 1 つを選択することで、動作モード(画像処理の種類)を切り替えるようになっている。

【0004】また、特開平 6 - 3 4 3 1 3 7 号公報には、接続先に応じて動作モードが変わるビデオカメラの例がある。

【0005】ところで最近、FPGA(Field Programmable Gate Array)と呼ばれるLSIが普及している。FPGAの特徴は、回路構成の書き換えが可能なことである。FPGAの回路データはバイナリ・データの形で、メモリや媒体上に記憶させておくことが可能である。図 1 3 は、FPGAを用いて画像処理の種類を切り替える方法を、説明したもの

である。

【0006】FPGAを用いた画像処理装置 1 1 0 では、図 1 3 に示すように、図示しない画像出力機器からの画像信号は、FPGAで構成された画像処理回路 1 1 1 へ入力され、画像処理回路 1 1 1 により処理された処理信号はモニタ等の出力機器 1 0 6 へ出力される。画像処理回路 1 1 1 の構成は、CPU 1 0 8 により書き込まれるが、その回路データは、ROM 1 1 2 にあらかじめ複数個が記憶されている。一方、図示しない外部の入力部から画像出力機器(図示せず)の種類を示す識別信号が通信ポート 1 0 7 を介してCPU 1 0 8 に入力され、CPU 1 0 8 は、この識別信号に基づきROM 1 1 2 の中から回路データを選択し、I/F 部 1 0 9 を介して回路データを画像処理回路 1 1 1 に書き込む。以上のようにして、画像出力機器の種類に応じて動作モード(画像処理の種類)を切り替えることができる。

## 【0007】

【発明が解決しようとする課題】しかしながら、FPGAの書き込みは時間がかかるが、前述の画像処理装置 1 1 0 では、機器の種類が伝達されてからFPGAの書き込みを行っているので、何かの原因で種類の伝達が遅れた場合、例えば画像出力機器の電源投入が遅れた場合等は、操作者は、さらに長い時間待つことになるといった問題がある。

【0008】本発明は、上記事情に鑑みてなされたものであり、接続される画像出力機器に応じた動作モードの切り替えを、適切かつ迅速に行うことのできる画像処理装置を提供することを目的としている。

## 【0009】

【課題を解決するための手段】本発明の画像処理装置は、画像出力機器から入力された画像信号を処理する画像処理装置において、前記画像出力機器の種類に応じた動作モードを記憶するモード記憶手段と、前記モード記憶手段が記憶した前記動作モードの設定により前記画像信号を処理するモード処理手段と、前記画像出力機器の種類を判別する判別情報を入力する判別情報入力手段と、前記モード処理手段に設定された前記動作モードと前記判別情報入力手段が入力した前記判別情報によって判別した前記画像出力機器の種類に応じた前記動作モードとを比較し比較結果に基づき前記モード記憶手段に記憶されている前記動作モードを更新する動作モード更新手段とを備えて構成される。

【0010】本発明の画像処理装置では、前記動作モード更新手段が前記モード処理手段に設定された前記動作モードと、前記判別情報入力手段が入力した前記判別情報によって判別した前記画像出力機器の種類に応じた前記動作モードとを比較し、比較結果に基づき前記モード記憶手段に記憶されている前記動作モードを更新することで、接続される画像出力機器に応じた動作モードの切り替えを、適切かつ迅速に行うことを可能とする。

【0011】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態について述べる。

【0012】図1ないし図11は本発明の一実施の形態に係わり、図1は画像処理装置及び画像出力機器の接続関係を示す図、図2は図1の画像処理装置の構成を示す構成図、図3は図2のSRAMのメモリマップを示す図、図4は図2のROMのメモリマップを示す図、図5は図2のCPUによる処理の流れを示すフローチャート、図6は図5のステップS3における接続機器の確認処理を説明する説明図、図7は図5のステップS5におけるメッセージ表示の一例を示す図、図8は図5の処理により回路データが書き込まれて実現されるFPGAで構成された画像処理回路の一例を示す構成図、図9は図8の第1ブロック及び第2ブロックで発生する遅延を調整する第1のFIFO回路を説明する説明図、図10は図8の第1ブロック及び第2ブロックで発生する遅延を調整する第2のFIFO回路を説明する説明図、図11は図10のFIFO回路の各信号のタイミングを示すタイミングチャートである。

【0013】図1に示すように、本実施の形態の画像処理装置1では、画像出力機器2から出力された画像信号が画像伝送手段3を経て入力されると共に、画像出力機器2と画像処理装置1の間が通信手段4により接続され、画像出力機器2から画像処理装置1への片方向または、双方向の通信ができるようになっている。

【0014】画像処理装置1は、図2に示すように、画像出力機器2からの画像信号を画像伝送手段3を介して入力し強調等の画像処理を行うFPGA(Field Programmable Gate Array)で構成された画像処理回路11と、画像出力機器2から画像出力機器2の種類を示す識別信号を入力する通信ポート12と、通信ポート12から入力された識別信号に基づきI/F部13を介して画像処理回路11への回路データの書き込み制御を行うCPU14と、画像処理回路11に書き込まれる複数の回路データ及びCPU14の制御プログラムを予め格納しているROM15と、CPU14の制御時に生成されたデータを格納するSRAM16と、SRAM16をバックアップするバッテリー17と、画像処理回路11により処理された画像データに文字データ等を重畳させるディスプレイコントローラ18とを備えて構成される。

【0015】通信ポート12、I/F部13、CPU14、ROM15、SRAM16及びディスプレイコントローラ18はデータバスに19により接続され、CPU14により各回路が制御され、文字データ等を重畳した画像処理回路11により処理された画像データがモニタ等の出力機器20へ出力されるようになっている。

【0016】SRAM16には、図3に示すように、所定のアドレス位置に動作モードデータ領域21が設けら

れており、動作モードデータ領域21には、表1に示すように、接続機器に対応した動作モードデータが数値で格納されている。

【0017】

【表1】

接続機器の種類	動作モードデータ
Aタイプ	1
Bタイプ	2
Cタイプ	3
Dタイプ	4

また、ROM15には、CPU14の制御プログラムの他に、図4に示すように、所定のアドレス位置に、FPGAで構成された画像処理回路11への動作モードデータに応じた複数種類の回路データが、第1回路データ領域25、第2回路データ領域26及び第3回路データ領域27に格納されている。

【0018】次に、このように構成された本実施の形態の作用について説明する。

【0019】図5に示すように、電源投入後、CPU14は、基本的なハードウェアの初期化を行った後、ステップS1でSRAM16に保持されている動作モードデータを読み出す。つぎに、ステップS2で読み出した動作モードデータに対応した回路データをROM15から読み出し、FPGAで構成された画像処理回路11に対して読み出した回路データの書き込みを行う。なお、同時に、動作モードに応じたハードウェアの設定を行うともできる。

【0020】そして、ステップS3で、実際に接続されている画像出力機器2の確認を行う。確認は、通信ポート12を介した通信手段4により行われ、例えば、RS-232Cが知られている。図6に、接続機器の確認の手順を示す。まず、画像処理装置1から画像出力機器2に、「機器タイプの問い合わせコマンド」31を送信する。それに応じて画像出力機器2から画像処理装置1へ、「機器タイプ通知」32を送信する。

【0021】なお、画像出力機器2から画像処理装置1へ、常に機器タイプを送信し、適宜、画像処理装置1が受信するようなことも可能である。この場合、通信手段4は片方向通信で済む。

【0022】次に、ステップS4において、前述のようにして得られた画像出力機器2に対応する動作モードデータと、SRAM16に保存された動作モードデータを比較する。両者が一致した場合は、画像出力機器2に応じた画像処理回路11が書き込まれているので、そのまま終了する。異なっていた場合は、ステップS5へ進む。

【0023】ステップS5では、実際に接続されている



画像出力機器2に対応する動作モードデータを、SRAM16に保存する。そして、ステップS6では、図7に示すように、ディスプレイコントローラ18により画像処理回路11の処理画像35にメッセージ36を重畳し、画像処理回路11に正しい回路データが書き込まれなかったことを、操作者に知らせ、処理を終了する。

【0024】ここで、このメッセージ36に従って操作者が、画像出力機器2の電源を一旦切って、入れ直した場合を考える。

【0025】画像処理装置1は、再び図5のフローチャートの手順を実行する。ステップS1からステップS3は前述の立ち上げ時と同様である。ステップS4においては、SRAM16に保存され動作モードデータと、実際に接続されている画像出力機器2に対応する動作モードデータは一致する。なぜなら、前回立ち上げ時に、ステップS5で、実際に接続されている画像出力機器2に対応する動作モードをSRAM16に保存しているからである。

【0026】次に、CPU14の制御により回路データの書き込みが行われたFPGAで構成された画像処理回路11の動作について述べる。

【0027】図8に示すように、回路データにより作成された画像処理回路11は、例えば、入力された画像信号に対して異なる処理を行う第1ブロック41及び第2ブロック42と、第1ブロック41及び第2ブロック42により処理された画像を合成する合成ブロック43とから構成される。

【0028】そして、画像処理回路11では、入力された画像は、第1ブロック41及び第2ブロック42に投入され、それぞれ異なった処理が行われる。それぞれの出力は、合成ブロック43に投入され、1つの画像に合成され出力される。

【0029】ここで、例えば第1ブロック41はフルカラー24ビットの処理結果を出力し、第2ブロック42は処理された画像を表示するか否かの1ビットの情報、いわゆるマスク情報を出力する。

【0030】このとき、第1ブロック41と第2ブロック42で遅延に差があると、画像の位置のずれを生じる。よって、どちらか一方または両方の遅延を調整する必要がある。そこで、遅延の調整には、FIFO(First In First Out=先入れ先出し)メモリが用いられる。

【0031】FIFOメモリは、任意に遅延をさせることができるが、画像の大きさの最大値は容量の範囲内に限られる。仮に、640ドット×480ラインの画像の遅延を行う場合は、 $640 \times 480 = 307,200$ ドットの容量が必要である。メモリの容量がこれより小さい場合は、複数個用い、容量を拡張する。

【0032】メモリの容量がこれよりも小さい場合は、メモリを複数個用い、容量を拡張することになるが、例

えば図9に示すようなFIFO回路50において、入力及び出力が共に並列に接続してある2つの、例えば容量が262,144ドット(<307,200ドット)のFIFOメモリ51、52を用い、この2つのFIFOメモリ51、52に1ドットずつ交互にデータを入力し、また出力も交互に行うことで容量を拡張する。

【0033】ところで、FIFOメモリは入出力のデータ幅を持っており、広く流通しているのは8ビット幅のものである。しかし、実際のアプリケーションでは上記の画像のマスク信号のように、1ビットの情報で充分なものもある。このような時に、図9に示した8ビット幅のFIFOメモリを使って、1ビット幅のデータの遅延を行った場合、FIFOメモリの7ビット分は常に使用されず無駄となる。

【0034】そこで、このようなときに、FIFOメモリを複数個用いずに、容量を拡張する方法について述べる。

【0035】図10に示すように、容量拡張を実現した1ビット幅のFIFO回路60は、シフトレジスタ61、FIFOメモリ62及びセクタ63とから構成され、図11のタイミングチャートを参照して、Dinより入力された信号は、シフトレジスタ61に送られ、画素クロックφ1に同期してこのシフトレジスタ61で1ビットから2ビットに変換され、FIFOメモリ62へ入力される。

【0036】FIFOメモリ63には、画素クロックφ1の2分周のクロックφ2が供給されており、クロックφ2の立ち上がりエッジ↑のタイミングでシフトレジスタ61からのデータがFIFOメモリ62に取り込まれる。FIFOメモリ62の遅延量はリトリセット及びリードリセットの両者のパルスの時間差で決定され、シフトレジスタ61に投入されたデータは一定の遅延時間後、FIFOメモリ62の入力D1、D2に出力される。

【0037】FIFOメモリ62の出力Q1、Q2は、セクタ63で、2ビットから再び1ビットに戻され、セクタ63から出力される。なお、セクタ63は、シフトレジスタで構成してもよい。

【0038】このように本実施の形態の画像処理装置1では、SRAM16に予め格納されている回路データを画像処理回路11を構成するFPGAに書き込んだ後に、接続先の画像出力機器2を行うので、画像出力機器2の確認を待たずに、画像処理装置1を立ち上げることができる。すなわち、例えば、接続先の画像出力機器2の電源投入が遅れた場合でも、画像処理装置1を先に立ち上げることができ、この後に接続先の画像出力機器2を行うので、操作者は長い時間待たなくて済む。

【0039】また、画像処理回路11を構成するFPGAに書き込んだ回路データの種類と画像出力機器2との種類が異なる場合には、接続先の画像出力機器2に対応した回路データをROM15から読み出しSRAM16

に格納すると共に、メッセージにより接続先の画像出力機器 2 の再立ち上げを指示するので、操作者はこのメッセージに従って画像出力機器 2 を再立ち上げすることで、確実にかつ容易に画像処理装置 1 を立ち上げることができる。

#### 【0040】【付記】

(付記項 1) 画像出力機器から入力された画像信号を処理する画像処理装置において、前記画像出力機器の種類に応じた動作モードを記憶するモード記憶手段と、前記モード記憶手段が記憶した前記動作モードの設定により、前記画像信号を処理するモード処理手段と、前記画像出力機器の種類を判別する判別情報を入力する判別情報入力手段と、前記モード処理手段に設定された前記動作モードと、前記判別情報入力手段が入力した前記判別情報によって判別した前記画像出力機器の種類に応じた前記動作モードとを比較し、比較結果に基づき前記モード記憶手段に記憶されている前記動作モードを更新する動作モード更新手段とを備えたことを特徴とする画像処理装置。

【0041】(付記項 2) 前記モード処理手段は、FPGA(Field Programmable Gate Array)であることを特徴とする付記項 1 に記載の画像処理装置。

【0042】(付記項 3) 画像出力機器から入力された画像信号を処理する画像処理方法において、モード記憶手段に記憶されている前記画像信号を処理するための前記画像出力機器の種類に応じた動作モードを設定するモード設定工程と、前記画像出力機器の種類を判別する機器判別工程と、記モード処理工程で設定された前記動作モードと、前記機器判別工程によって判別した前記画像出力機器の種類に応じた前記動作モードとを比較し、比較結果に基づき前記モード記憶手段に記憶されている前記動作モードを更新する動作モード更新工程とを備えたことを特徴とする画像処理方法。

#### 【0043】

【発明の効果】以上説明したように本発明の画像処理装置によれば、動作モード更新手段がモード処理手段に設定された動作モードと、判別情報入力手段が入力した判別情報によって判別した画像出力機器の種類に応じた動作モードとを比較し、比較結果に基づき前記モード記憶手段に記憶されている前記動作モードを更新するので、接続される画像出力機器に応じた動作モードの切り替え

を、適切かつ迅速に行うことができるという効果がある。

#### 【図面の簡単な説明】

【図 1】本発明の一実施の形態に係る画像処理装置及び画像出力機器の接続関係を示す図

【図 2】図 1 の画像処理装置の構成を示す構成図

【図 3】図 2 の SRAM のメモリマップを示す図

【図 4】図 2 の ROM のメモリマップを示す図

【図 5】図 2 の CPU による処理の流れを示すフローチャート

【図 6】図 5 のステップ S 3 における接続機器の確認処理を説明する説明図

【図 7】図 5 のステップ S 5 におけるメッセージ表示の一例を示す図

【図 8】図 5 の処理により回路データが書き込まれて実現される FPGA で構成された画像処理回路の一例を示す構成図

【図 9】図 8 の第 1 ブロック及び第 2 ブロックで発生する遅延を調整する第 1 の FIFO 回路を説明する説明図

【図 10】図 8 の第 1 ブロック及び第 2 ブロックで発生する遅延を調整する第 2 の FIFO 回路を説明する説明図

【図 11】図 10 の FIFO 回路の各信号のタイミングを示すタイミングチャート

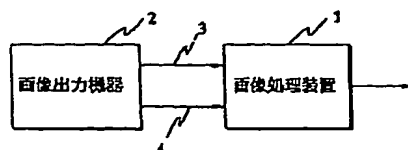
【図 12】従来の画像処理装置の第 1 の構成例を示す構成図

【図 13】従来の画像処理装置の第 2 の構成例を示す構成図

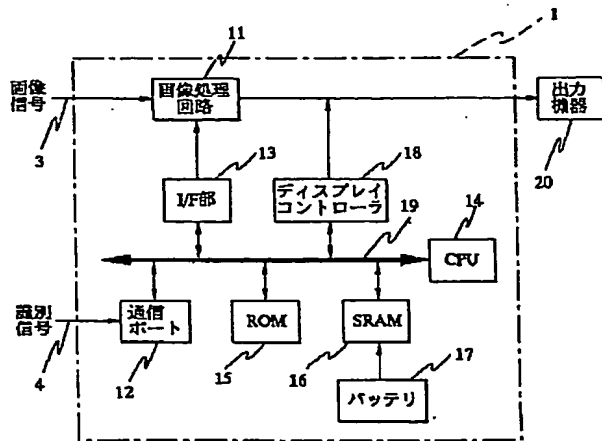
#### 【符号の説明】

- 1…画像処理装置
- 2…画像出力機器
- 11…画像処理回路
- 12…通信ポート
- 13…I/F 部
- 14…CPU
- 15…ROM
- 16…SRAM
- 17…バッテリー
- 18…ディスプレイコントローラ
- 19…データバス
- 20…出力機器

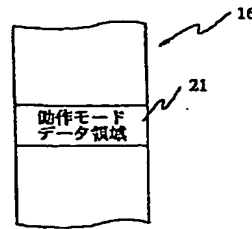
【図 1】



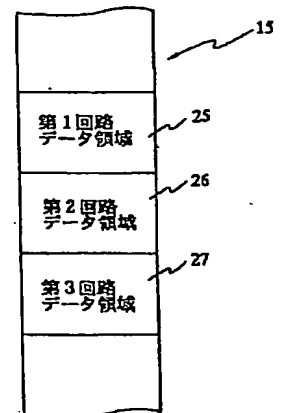
【図2】



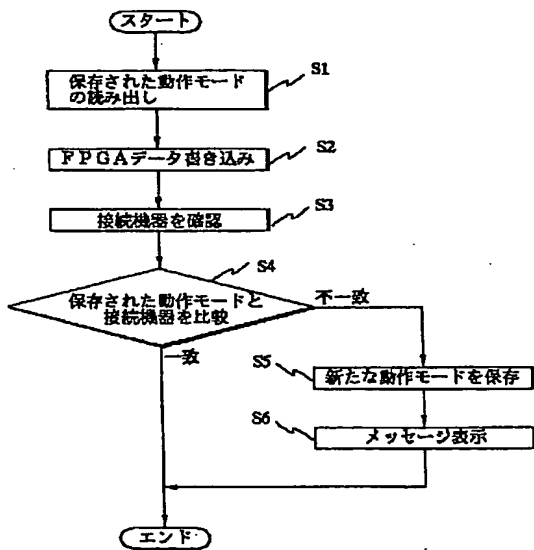
【図3】



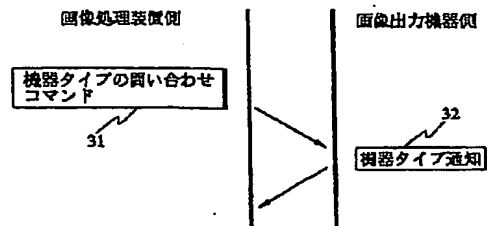
【図4】



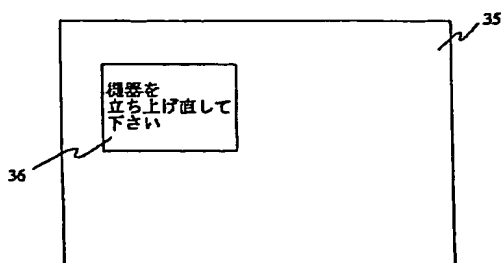
【図5】



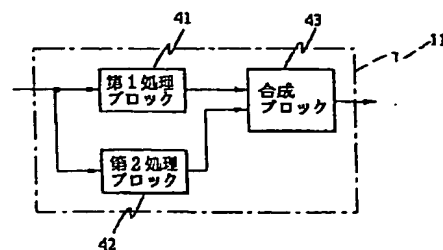
【図6】



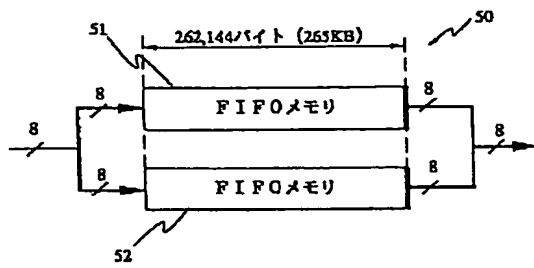
【図7】



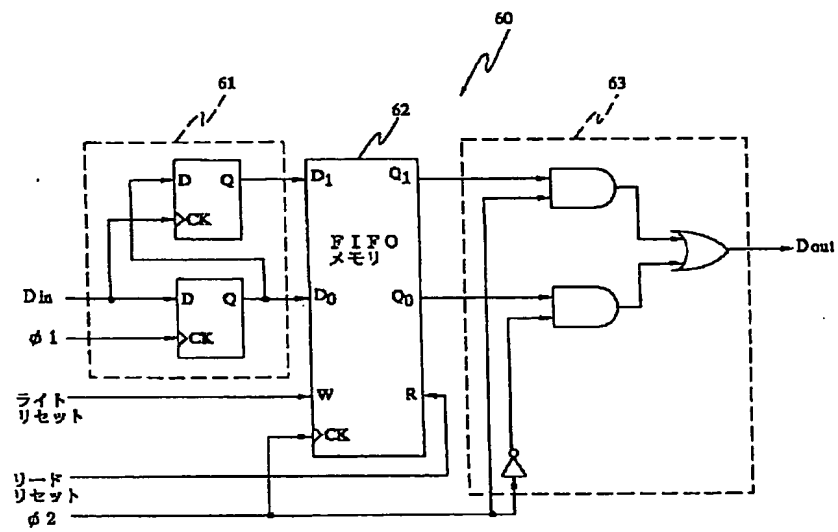
【図8】



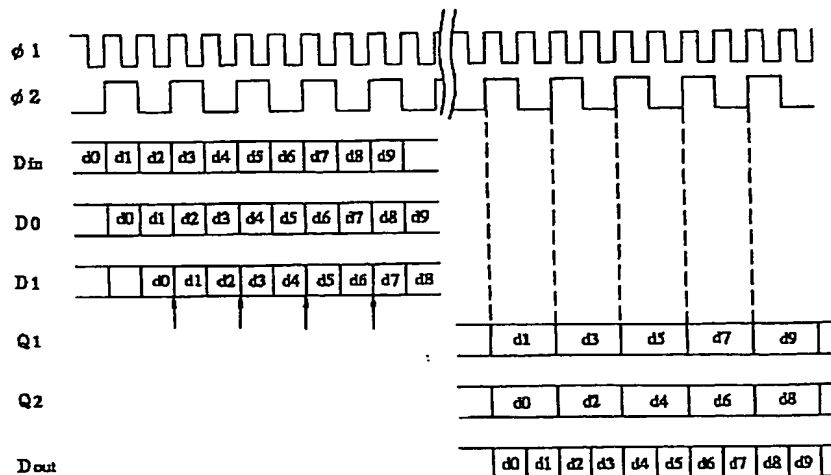
【図 9】



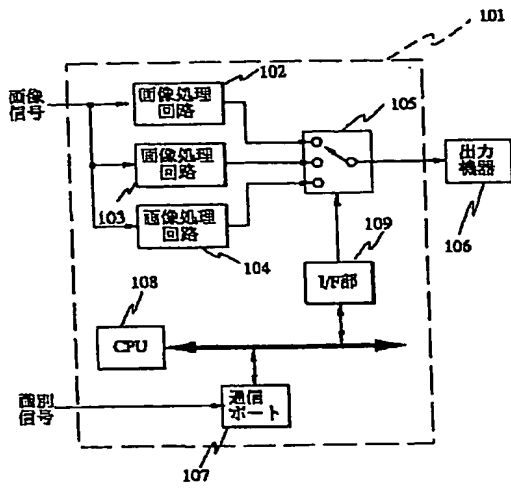
【図 10】



【図 11】



【図 12】



【図 13】

